

File 351:Derwent WPI 1963-2002/UD,UM &UP=200280

(c) 2002 Thomson Derwent

**\*File 351: Alerts can now have images sent via all delivery methods.**

See HELP ALERT and HELP PRINT for more info.

Set	Items	Description
---	-----	-----
?		
S1	1	PN=JP 08129508
?		

1/7/1

DIALOG(R)File 351:Derwent WPI

(c) 2002 Thomson Derwent. All rts. reserv.

010800324 \*\*Image available\*\*

WPI Acc No: 1996-297277/\*199630\*

**Multiprocessor system with common memory - has control unit to forbid write-in operation attempted by any CPU, when OS ceases to be active**

Patent Assignee: TOSHIBA KK (TOKE )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 8129508	A	19960521	JP 94266928	A	19941031	199630 B

Priority Applications (No Type Date): JP 94266928 A 19941031

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 8129508	A	10	G06F-012/14	

Abstract (Basic): JP 8129508 A

The system comprises a number of CPUs (2), which function independently. A shared memory device (3) is made accessible to each of the CPU, to perform write-in operation, when required. When the OS is active, each CPU outputs an online signal (OL) indicating that, it is ready for performing write-in operation. The write-in operation is carried through an interface (5), which has an AND gate (5a), based on a write-in request (WRQ).

A control unit forbids the attempt by any of the CPUs to perform write-in operation, when the OS ceases to be active, by the output of write-in prohibition signal. The write-in request of the respective CPU is repelled, making it off-line.

ADVANTAGE - Prevents accidental erasure of data already stored in memory. Enables write-in operation of data used for test processing, when CPU is off-line, by protecting data in shared memory. Improves reliability of whole system.

Dwg.1/6

Derwent Class: T01

International Patent Class (Main): G06F-012/14

International Patent Class (Additional): G06F-012/00; G06F-015/16

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-129508

(43) 公開日 平成8年(1996)5月21日

(51) Int. Cl. <sup>6</sup>	識別記号	庁内整理番号	F:	技術表示箇所
G 0 6 F 12/14	3 1 0 M			
12/00	5 7 4	7623-5B		
15/16	3 5 0			

特許請求 未請求 請求項の数 6 O L (全 10 頁)

(21) 出願番号 特願平8-268928

(71) 出願人 000000078

(22) 出願日 平成8年(1994)10月31日

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 森田 幸雄

東京都府中市東芝町1番地 株式会社東芝  
府中二層内

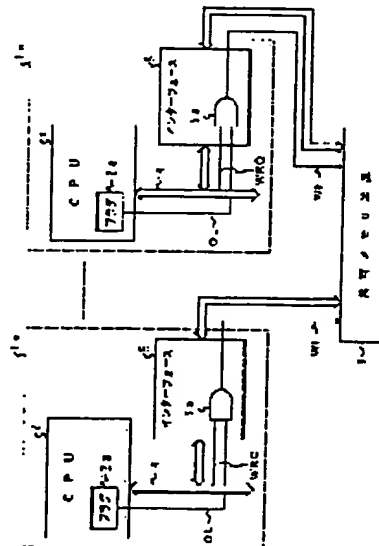
(74) 代理人 介理二 鈴江 武彦

(54) 【発明の名称】 コンピュータシステム及びその共有メモリ制御方法

## 例【要約】

【目的】共有メモリ装置を使用するコンピュータシステムにおいて、特にオフライン時のCPUにより、共有メモリ装置に誤ったデータ書き込みの発生を確実に防止して、共有メモリ装置のデータを確実に保護することによりシステム全体の信頼性を向上させることにある。

【構成】各CPU 2は書き込み要求信号を出力して、共有メモリ装置3をアクセスし、データの書き込みを行なう。各CPU 2はOSの動作時には書き込み許可を示すオンライン信号OLを出力し、その停止時には書き込み禁止を示すオフライン信号OLを出力する。インターフェース5は、CPU 2からの書き込み要求信号WEQに応じて共有メモリ装置3の書き込み動作を許可するが、書き込み禁止信号の出力時には書き込み要求信号を無効にして、共有メモリ装置3の書き込み動作を禁止する。これにより、オフライン状態のCPU 2により、共有メモリ装置3に対して誤ってデータの書き込みが発生するような事態を防止できる。



【特許請求の範囲】

【請求項1】 独立してデータ処理を実行する複数のデータ処理装置と、  
この各データ処理装置のそれぞれにアクセスされる共有メモリ装置と、  
前記各データ処理装置のそれぞれに設けられて、前記共有メモリ装置をアクセスする前記データ処理装置においてそのシステム制御手段の動作時に前記共有メモリ装置に対する書込み動作を許可し、前記システム制御手段の停止時に前記共有メモリ装置に対する書込み動作を禁止するメモリ制御手段とを具備したことを特徴とするコンピュータシステム。

【請求項2】 独立してデータ処理を実行する複数のデータ処理装置と、  
この各データ処理装置のそれぞれにアクセスされる共有メモリ装置と、  
前記各データ処理装置のそれぞれに設けられて、前記共有メモリ装置をアクセスする前記データ処理装置においてそのシステム制御手段の動作時にセットまたはリセットされる制御情報に基づいて、前記システム制御手段の動作時に前記共有メモリ装置に対する書込み許可信号を出力し、前記システム制御手段の停止時に前記共有メモリ装置に対する書込み禁止信号を出力する書込み制御信号出力手段と、  
前記共有メモリ装置に対する書込み要求信号を出力した前記データ処理装置において、前記書込み制御信号出力手段から前記書込み禁止信号が出力されたときには前記共有メモリ装置に対する書込み動作を禁止し、前記書込み許可信号が出力されたときには前記共有メモリ装置に対する書込み動作を許可するメモリ制御手段とを具備したことを特徴とするコンピュータシステム。

【請求項3】 独立してデータ処理を実行する複数のデータ処理装置と、  
この各データ処理装置のそれぞれにアクセスされる共有メモリ装置と、  
前記各データ処理装置のそれぞれに設けられて、前記共有メモリ装置をアクセスする前記データ処理装置においてそのシステム制御手段の動作時にセットまたはリセットされる制御情報に基づいて、前記システム制御手段の動作時に前記共有メモリ装置に対する書込み許可信号を出力し、前記システム制御手段の停止時に前記共有メモリ装置に対する書込み禁止信号を出力する書込み制御信号出力手段と、  
前記システム制御手段が停止状態の前記データ処理装置において、前記制御情報に基づいて前記書込み禁止信号が出力されたときには前記共有メモリ装置に対する書込み動作を禁止し、かつ所定の処理モード時に前記制御情報に基づいた前記共有メモリ装置に対する書込み禁止状態を解除し、前記システム制御手段が停止状態の場合でも前記共有メモリ装置に対して書込み要求に応じた書込み

動作を許可するメモリ制御手段とを具備したことを特徴とするコンピュータシステム。

【請求項4】 独立してデータ処理を実行する複数のデータ処理装置と、  
この各データ処理装置のそれぞれにアクセスされる共有メモリ装置と、  
前記各データ処理装置のそれぞれに設けられて、前記共有メモリ装置をアクセスする前記データ処理装置においてそのシステム制御手段の動作時にセットまたはリセットされる制御情報に基づいて、前記システム制御手段の動作時に前記共有メモリ装置に対する書込み許可信号を出力し、前記システム制御手段の停止時に前記共有メモリ装置に対する書込み禁止信号を出力する書込み制御信号出力手段と、  
前記各データ処理装置の中で、前記書込み禁止信号を出力したときに前記共有メモリ装置に対する前記データ処理装置からの書込み要求信号を無効にし、かつ前記制御情報に基づいた書込み禁止状態時に前記共有メモリ装置のテスト処理モードの実行時に前記書込み要求信号を有効にする論理ゲート回路を有するメモリ制御手段とを具備したことを特徴とするコンピュータシステム。

【請求項5】 独立してデータ処理を実行する複数のデータ処理装置と、  
この各データ処理装置のそれぞれに設けられて、システム制御手段の動作時にセットまたはリセットされる制御情報に基づいて、前記システム制御手段の動作時に書込み許可信号を出力し、前記システム制御手段の停止時に書込み禁止信号を出力する書込み制御信号出力手段と、  
前記各データ処理装置のそれぞれにアクセスされる共有メモリ手段であって、前記各データ処理装置の中で少なくとも1台のデータ処理装置から前記書込み許可信号が出力された場合に前記書込み禁止信号を出力したデータ処理装置からの書込み動作を禁止し、前記各データ処理装置の全てが前記書込み禁止信号を出力している状態時に前記各データ処理装置の中で少なくとも1台のデータ処理装置からの書込み要求に応じて書込み動作を許可するメモリ制御手段を有する共有メモリ装置とを具備したことを特徴とするコンピュータシステム。

【請求項6】 独立してデータ処理を実行する複数のデータ処理装置、この各データ処理装置のそれぞれにアクセスされる共有メモリ装置、および前記各データ処理装置のそれぞれに設けられてシステム制御手段の動作時にセットされた制御情報に基づいて書込み許可信号を出力し、前記制御情報のリセット状態で書込み禁止信号を出力する書込み制御信号出力手段を備えたコンピュータシステムにおいて、  
前記書込み許可信号を出力したデータ処理装置からの書込み要求信号に応じて、前記共有メモリ装置に対する書込み動作を実行するステップと、  
前記書込み禁止信号を出力したデータ処理装置からの書

込み要求信号を無効にして、前記共有メモリ装置に対する書込み動作を禁止するステップと、前記制御情報のリセット状態のデータ処理装置において、前記共有メモリ装置のテスト処理モードの実行時に前記共有メモリ装置に対する書込み動作の禁止状態を解除し、そのデータ処理装置からの書込み要求信号を有効にするステップとからなることを特徴とする共有メモリ制御方法。

#### 【発明の詳細な説明】

##### 【0001】

【産業上の利用分野】本発明は、複数のコンピュータによりアクセス可能な共有メモリ装置を有するコンピュータシステムに関する。

##### 【0002】

【従来の技術】従来、複数のコンピュータの各CPUが共通にアクセスできる共有メモリ装置を有するコンピュータシステムがある。共有メモリ装置は、例えばマルチポートを備えたRAM(random access memory)であり、各CPUからデータの読出しと書込みを実行する。

【0003】各CPUは、共有メモリ装置をメインメモリのアドレス空間の一部としてアクセスすることになる。共有メモリ装置は、各CPUとはシステムバスとインターフェース(共有メモリインターフェース)を介して接続されており、各CPUによる並列処理やシステムのバックアップ運転を行なうために使用される。

【0004】このようなシステムにおいて、あるCPUが誤って共有メモリ装置の記憶領域の一部、特に他のCPUが使用している領域を書換えた場合に、システム全体が停止するような事態となる可能性がある。

【0005】通常では、各コンピュータのOS(operating system)の動作時(オンライン時)には、メモリ保護機能が働くため、共有メモリ装置に誤ったデータ書込みが発生する可能性は少ない。しかし、OSの停止時(オフライン時)には、メモリ保護機能は働かないため、オフライン時のCPUから誤ったデータ書込みがなされる可能性がある。

【0006】具体的には、例えばオフライン時のCPUに、システムのハードウェア(共有メモリ装置も含む)を点検するためのテストプログラムを実行させ、他の各CPUが稼働状態の場合に、前記のような誤動作が発生しやすい。即ち、点検中のハードウェアの故障や誤操作、またはテストプログラムの誤操作などにより、共有メモリ装置に誤ったデータ書込みが実行されることがある。このため、稼働中の他のCPUが使用している共有メモリ装置内のデータを破壊して、システムを停止させる事態となる。

##### 【0007】

【発明が解決しようとする課題】共有メモリ装置を使用するシステムでは、特にオフライン時のCPUにより例

えばテストプログラムを実行しているときに、共有メモリ装置に誤ったデータ書込みを行ない、他のCPUに必要な記録データを破壊するような事態が発生することがある。最悪の場合には、システムを停止させる要因となる。

【0008】本発明の目的は、共有メモリ装置を使用するコンピュータシステムにおいて、特にオフライン時のCPUにより、共有メモリ装置に誤ったデータ書込みの発生を確実に防止して、共有メモリ装置のデータを確実に保護することによりシステム全体の信頼性を向上させることにある。

##### 【0009】

【課題を解決するための手段】本発明は、CPUをそれぞれ有する複数のコンピュータおよび各CPUにより共通にアクセスされる共有メモリ装置を備えたコンピュータシステムにおいて、各コンピュータのシステム制御手段であるOSの動作時に書込み許可信号を出力し、そのOSの停止時に書込み禁止信号を出力する書込み制御信号出力手段、および書込み禁止信号の出力時には共有メモリ装置に対する書込み動作を禁止するメモリ制御手段を備えたシステムである。

##### 【0010】

【作用】本発明では、各CPUは書込み要求信号を出力して、共有メモリ装置をアクセスし、データの書込みを行なう。書込み制御信号出力手段は、システム制御手段であるOSの停止時には書込み禁止信号を出力する。メモリ制御手段は、CPUからの書込み要求信号に応じて共有メモリ装置の書込み動作を許可するが、書込み禁止信号の出力時には書込み要求信号を無効にして、共有メモリ装置の書込み動作を禁止する。これにより、OSの停止状態のコンピュータにより、共有メモリ装置に対して誤ってデータの書込みが発生するような事態を防止できる。

##### 【0011】

【実施例】以下図面を参照して本発明の実施例を説明する。図1は第1の実施例に係わるコンピュータシステムの基本的構成を示すブロック図、図2は第1の実施例の動作を説明するためのフローチャート、図3は第2の実施例に係わるコンピュータシステムの要部を示すブロック図、図4は第2の実施例の動作を説明するためのフローチャート、図5は第3の実施例に係わるコンピュータシステムの基本的構成を示すブロック図、図6は第3の実施例に係わるコンピュータシステムの要部を示すブロック図である。

(第1の実施例の基本的構成)本システムは、図1に示すように、複数のコンピュータ(1a...1n)および共有メモリ装置3からなるマルチコンピュータシステムである。共有メモリ装置3は例えばマルチポートを備えたRAM(random access memory)であり、各コンピュータのメインメモリのアドレス空間

の一部としてアクセスされる。

【0012】各コンピュータ(1a...1n)は、中央処理ユニットであるCPU2、システムバス4および共有メモリ装置3をアクセスするためのインターフェース5を有する。各CPU2は、システム制御手段であるOSが動作時(オンライン時)であることを示すオンラインフラグ(制御情報)を記憶し、このオンラインフラグに基づいてオンライン信号OLを出力するためのレジスタ(書込み制御信号出力手段)2aを有する。オンラインフラグは、起動したOSによりセットされて、システムクリア信号または停止時のOSによりリセットされる。

【0013】各インターフェース5は、共有メモリ装置3に対する書込み動作の許可または禁止を制御する書込み制御信号WEを出力する論理ゲート回路(アンド回路)5aを有する。アンド回路5aは、CPU2から出力される書込み要求信号WRQとオンライン信号OLを入力とし、両者が有効信号(論理レベル"1")の場合に論理レベル"1"の書込み許可信号WEを出力する。一方、オンラインフラグがリセットされたオフライン時には、オンライン信号OLは論理レベル"0"となるため、アンド回路5aは論理レベル"0"の書込み禁止信号WEを出力する。(第1の実施例の動作)図2のフローチャートを参照して、同実施例の動作を説明する。

【0014】同実施例では、便宜的にコンピュータ1aの動作について説明する。他のコンピュータ1nはコンピュータ1aと同様の機能を有する。まず、コンピュータ1aにおいて、OSが起動されて、OSの制御の下でCPU2が共有メモリ装置3をアクセスすると想定する。即ち、コンピュータ1aはオンライン状態となり、OSによりオンラインフラグがセットされる(ステップS1のYES、S2)。

【0015】この状態で、CPU2は、共有メモリ装置3をアクセスしてデータの書込み要求が発生すると、書込み要求信号WRQを出力する(ステップS3)。インターフェース5では、アンド回路5aには共に論理レベル"1"の書込み要求信号WRQとオンライン信号OLが入力されるため、アンド回路5aは論理レベル"1"の書込み許可信号WEを共有メモリ装置3に出力する。

【0016】これにより、共有メモリ装置3は書込み可能な状態となり、CPU2からシステムバスを介して転送されるデータを指定のアドレスに書込むことになる(ステップS4)。ここで、コンピュータ1aがリセットされて、システムクリア信号が出力されると、CPU2のオンラインフラグはリセットされて、オフライン状態となる(ステップS5、S6)。または、OSが停止するときに、OSによりオンラインフラグはリセットされる。即ち、CPU2がオンライン時以外では、オンラインフラグはリセットされている。

【0017】オフライン状態では、コンピュータ1aでのOSは停止状態である(ステップS1のNO、S

7)。このとき、例えばCPU2から誤って書込み要求信号WRQが出力されたと想定する(ステップS8のYES)。

【0018】インターフェース5では、オフライン状態により、オンライン信号OLが論理レベル"0"であるため、アンド回路5aは書込み要求信号WRQを無効にする。したがって、アンド回路5aは論理レベル"0"の書込み禁止信号WEを出力する。これにより、共有メモリ装置3に対する書込み動作は全て禁止状態となる(ステップS9)。

【0019】ここで、CPUのオフライン時に、テストプログラムにより共有メモリ装置3をテストする必要がある場合には、テストプログラムによりオンラインフラグをセットさせることは可能である(ステップS10のYES)。オンラインフラグをセットさせることにより、テストプログラムに基づいて、テスト用データを共有メモリ装置3に書込むことができる(ステップS3、S4)。

【0020】なお、共有メモリ装置3をテストする場合には、システムの全てのCPU2がオフライン状態であることが必要である。これを確認するために、通常のテストプログラムの操作とは別に、オンラインフラグを意図的にセットさせる操作を加える方式が望ましい。

【0021】以上のように、OSの動作時にオンラインフラグをセットすることにより、CPU2からの書込み要求信号WRQを有効にし、オフライン時には全て書込み要求信号WRQを無効にすることができる。したがって、メモリ保護機能は働かないOSの停止時(オフライン時)に、共有メモリ装置3に対してCPU2から誤ったデータ書込みが発生する事態を確実に防止することができる。これにより、あるコンピュータ1aのオフライン時に、オンライン時の他のコンピュータ1nが使用している共有メモリ装置3のデータを破壊するような事態を防止できることになる。

(第2の実施例)図3は第2の実施例に係わるブロック図であり、図1のシステムにおいて便宜的にコンピュータ1aについてのみ説明する。同実施例では、インターフェース5は、アンド回路5a以外にオア回路5bとトリップフロップ5cを有する。

【0022】ここで、第1の実施例では、前述のように、CPU2のオフライン時に共有メモリ装置3のテストを実行する場合に、オンラインフラグをセットする必要がある。しかし、OSの停止時にオンラインフラグをセットすると、システムや他のコンピュータ1nに不都合な事態が発生する可能性がある。換言すれば、OSの動作時のみ、オンラインフラグをセットする方式がシステムの運用上望ましい。

【0023】そこで、第2の実施例は、オフライン状態の場合でも、オンラインフラグをセットせずに、共有メモリ装置3に対する書込み禁止状態を解除できる機能を

付加したものである。具体的には、インターフェース5に設けられたフリップフロップ5cにより、オンラインフラグとは無関係に、論理レベル“1”のオンライン信号OLに相当する信号ALを生成する。フリップフロップ5cは、CPU2の初期化時にリセットされる。オア回路5bは、オンライン信号OLまたは信号ALをアンド回路5aの一方の入力端子に出力する。

(第2の実施例の動作) 図4のフローチャートを参照して、同実施例の動作を説明する。

【0024】まず、CPU2の初期化時に、フリップフロップ5cはCPU2からのリセット信号によりリセットされる(ステップS20)。この状態で、OSが起動されて、オンラインフラグがセットされると、前記第1の実施例の場合と同様に、CPU2からの書込み要求信号WRQに応じて、インターフェース5のオア回路5aは書込み許可信号WEを出力する。

【0025】即ち、インターフェース5では、オア回路5bは論理レベル“1”のオンライン信号OLをアンド回路5aに出力する。アンド回路5aは、論理レベル“1”の書込み要求信号WRQに応じて、書込み許可信号WEを共有メモリ装置3に出力する。これにより、CPU2は、共有メモリ装置3にデータの書込み動作を実行することが可能となる(ステップS21~S24)。

【0026】一方、オンラインフラグがリセットされたオフライン状態では、CPU2から誤って書込み要求信号WEQが出力されても、アンド回路5aにより無効にされる。したがって、共有メモリ装置3に対する書込み動作は禁止状態となる(ステップS27~S29)。

【0027】この様なCPU2のオフライン時に、テストプログラムにより共有メモリ装置3をテストする場合を想定する。この場合には、テストプログラムによりCPU2からセット信号を出力して、フリップフロップ5cをセットさせる(ステップS30のYES)。したがって、フリップフロップ5cは出力端子Qから論理レベル“1”の信号ALを出力する。

【0028】この状態で、テストプログラムにより、CPU2から書込み要求信号WEQが出力されると、アンド回路5aは論理レベル“1”の書込み要求信号WRQに応じて書込み許可信号WEを共有メモリ装置3に出力する(ステップS31のYES)。これにより、オンラインフラグをセットせずに、テストプログラムに基づいて、テスト用データを共有メモリ装置3に書込むことができる(ステップS32)。

【0029】このようにして、第2の実施例によれば、オフライン時に、インターフェース5のフリップフロップ5cをセットすることにより、オンライン信号OLに相当する信号ALを生成して、共有メモリ装置3に対するデータの書込み禁止状態を解除することができる。換言すれば、オフライン時にオンラインフラグをセットせずに、共有メモリ装置3のテスト処理等に必要データ

書込み動作を可能にすることができる。

(第3の実施例) 図5は第3の実施例に係わるコンピュータシステムのブロック図であり、図6はその共有メモリ装置3の要部を示すブロック図である。

【0030】同実施例では、各CPU(1a, 1b...1n)からのオンライン信号(OLa, OLb...OLn)は各インターフェース5を介して、共有メモリ装置3に送られて、共有メモリ装置3において書込み禁止の制御が実行される方式である。

【0031】同実施例の共有メモリ装置3は、図6に示すように、メモリ制御回路3aおよびデータの書込み制御を実行するための論理ゲート回路群を有する。メモリ制御回路3aは、論理ゲート回路群の各アンド回路(31a, 31b...31n)のいずれから論理レベル“1”の書込み許可信号(WEa, WEb...WE n)が出力されたら、共有メモリ装置3のメモリセルに対するデータの書込み動作が可能となる。

【0032】論理ゲート回路群は、アンド回路(31a, 31b...31n)、オア回路(30a, 30b...30n)およびノア(NOR)回路32からなる。各CPU(1a, 1b...1n)からのオンライン信号(OLa, OLb...OLn)は、対応するオア回路(30a, 30b...30n)の第1の入力端子、およびノア回路32の各入力端子に与えられる。オア回路(30a, 30b...30n)の各第2の入力端子には、ノア回路32の出力信号が与えられる。アンド回路(31a, 31b...31n)の各第1の入力端子には、対応するオア回路(30a, 30b...30n)の出力信号が与えられる。アンド回路(31a, 31b...31n)の各第2の入力端子には、対応する各CPU(1a, 1b...1n)からの書込み要求信号(WEQa, WEQb...WEQn)が与えられる。

(第3の実施例の動作) 同実施例の動作を図6を参照して説明する。

【0033】ノア回路32は、各CPU(1a, 1b...1n)のオンライン状態を反映しており、1台でもオンラインフラグがセットされていれば、論理レベル“0”の信号NGを出力する。一方、各CPU(1a, 1b...1n)の全てがオフラインの状態であれば、オンライン信号(OLa, OLb...OLn)の全てが論理レベル“0”となるため、論理レベル“1”の信号NGを出力する。

【0034】各CPU(1a, 1b...1n)の中で、例えばオンライン状態のCPU(1aとする)から書込み要求信号WEQaが出力されると、アンド回路31aから書込み許可信号WEaが出力される。したがって、CPU1aは、他のCPUとは無関係にオンライン状態時には、共有メモリ装置3に対して書込み許可の状態となる。

【0035】一方、例えばCPU1nがオフラインの状

態で、CPU 1aがオンラインの状態では、ノア回路32は論理レベル“0”の信号NGを出力する。したがって、CPU 1nからの書込み要求信号WEQnは、アンド回路31nにより無効の状態となる。これにより、オフライン状態のCPU 1nは、共有メモリ装置3に対して書込み禁止の状態となる。

【0036】また、全てのCPU(1a, 1b...1n)がオフライン状態の場合に、ノア回路32の出力信号NGは論理レベル“1”となる。このため、オンライン信号(OLa, OLb...OLn)の全てが論理レベル“0”の場合でも、アンド回路(31a, 31b...31n)は、対応するCPUからの書込み要求信号(WEQa, WEQb...WEQn)を有効にする。換言すれば、オフライン状態による書込み禁止状態を、書込み要求信号(WEQa, WEQb...WEQn)の出力に応じて解除することになる。

【0037】要するに第3の実施例によれば、第1にオンライン状態のCPUは、他のCPUの状態とは無関係に、共有メモリ装置3に対して書込み許可の状態となる。第2に、1台でもオンライン状態のCPUがあれば、オフライン状態のCPUはいかなる場合でも、共有メモリ装置3に対して書込み禁止の状態となる。

【0038】第3に、全てのCPUがオフライン状態になった場合には、オフライン状態のCPUでも書込み要求に応じて、共有メモリ装置3に対して書込み許可の状態となる。この第3の特徴により、第3の実施例の方式は、共有メモリ装置3をテストする場合に、オフライン状態のCPUにより、オンラインフラグのセットまたはフリップフロップ5cにより、書込み禁止状態を解除する操作を不要にすることができる。即ち、共有メモリ装置3のテスト処理モードでは、システムの全てのCPUがオフライン状態であることが必要であるが、テスト処理を実行するCPUからの書込み動作を許可する操作が必要であった。この操作を、第3の実施例では不要にすることができる。

#### 【0039】

【発明の効果】以上詳述したように本発明によれば、共有メモリ装置を使用するコンピュータシステムにおいて、オフライン時のCPUにより、誤って共有メモリ装置にデータ書込み動作を実行するような事態を防止することができる。したがって、他のCPUが使用している共有メモリ装置のデータを破壊するような事態を未然に防止し、共有メモリ装置を確実に保護することが可能となる。また、オフライン時のCPUにより、共有メモリ装置のテスト処理等を行なう場合には、共有メモリ装置のデータを保護すると共に、テスト処理に必要なデータの書込み動作を可能にすることができる。よって、結果的にシステム全体の信頼性を向上させると共に、共有メモリ装置のテスト処理等を効率的に行なうことが可能となる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施例に係わるコンピュータシステムの基本的構成を示すブロック図。

【図2】第1の実施例の動作を説明するためのフローチャート。

【図3】本発明の第2の実施例に係わるコンピュータシステムの要部を示すブロック図。

【図4】第2の実施例の動作を説明するためのフローチャート。

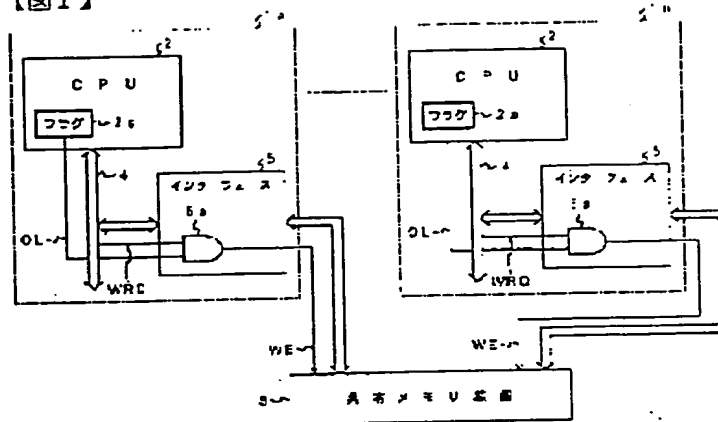
【図5】本発明の第3の実施例に係わるコンピュータシステムの基本的構成を示すブロック図。

【図6】第3の実施例に係わるコンピュータシステムの要部を示すブロック図。

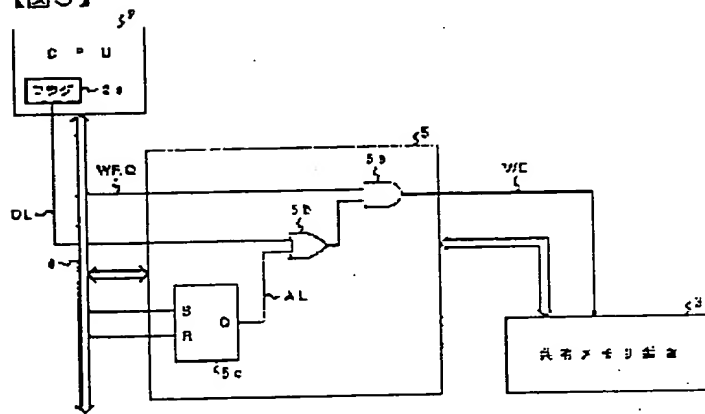
#### 【符号の説明】

1a, 1b, 1n...コンピュータ、2...CPU、2a...レジスタ、3...共有メモリ装置、4...システムバス、5...インターフェース、5a, 31a, 31b, 31n...アンド回路、5b, 30a, 30b, 30n...オア回路、5c...フリップフロップ、32...ノア回路。

【図1】

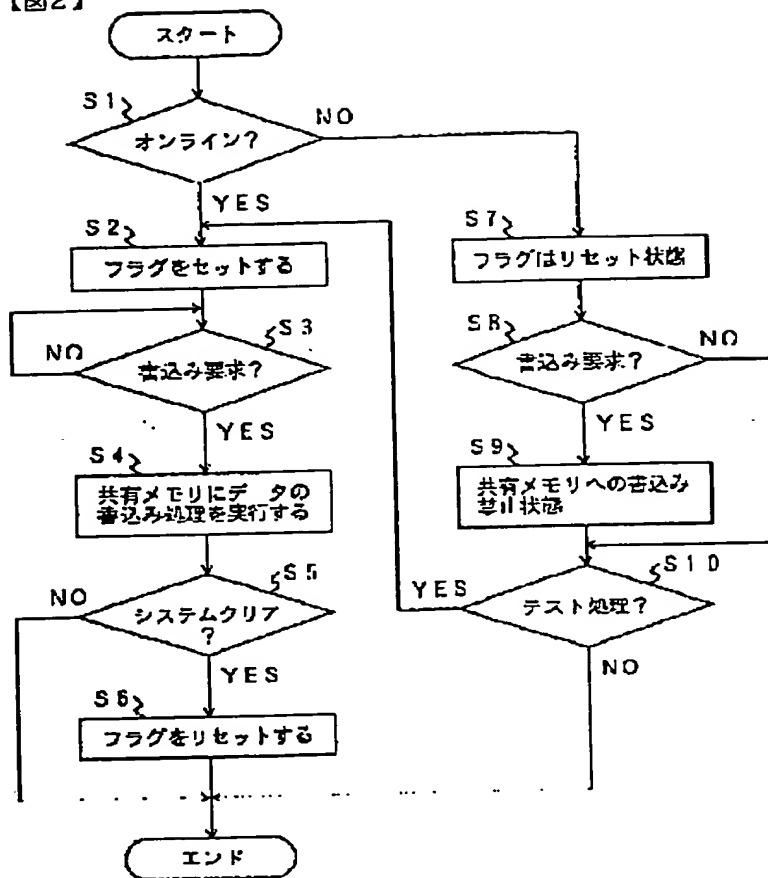


【図3】





【図2】



【図4】

